

Method for forming high performance system-on-chip using post passivation process

Publication number: TW506045 (B)

Publication date: 2002-10-11

Inventor(s): LIN MAU-SHIUNG [TW]

Applicant(s): MEGIC CORP [TW]

Classification:

- international: H01L21/70; H01L21/70; (IPC1-7): H01L21/70

- European:

Application number: TW20010104146 2001022 3

Priority number(s): US20000637926 20000814; US20000721722 20001127

Abstract of TW 506045 (B)

The present invention extends the above referenced continuation-in-part application by in addition creating high quality electrical components, such as inductors, capacitors or resistors, on a layer of passivation or on the surface of a thick layer of polymer. In addition, the process of the invention provides a method for mounting discrete electrical components at a significant distance removed from the underlying silicon surface.

Data supplied from the esp@cenet database — Worldwide

公告

申請日期	90.2.23
案 號	P0104146
類 別	HOIL 2/90

A4
C4

506045

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	晶片上具有電感元件結構
	英 文	
二、發明創作人	姓 名	林茂雄
	國 籍	中華民國
	住、居所	新竹市金山十街 28 號
三、申請人	姓 名 (名稱)	米輯科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區研發一路 21 號
	代 表 人 姓 名	林茂雄

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利, 申請日期: 案號: , ☒有 ☐無主張優先權
美國 2000/08/14 09/637926
美國 2000/11/27 09/721722

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要（發明之名稱：晶片上具有電感元件結構）

一種晶片上具有電感元件結構，分別包括：一晶片，此晶片具有一主動表面，而晶片之主動表面暴露出多個接點。一寬導線結構體，此寬導線結構體包括一外部介電層、一立體化寬線路結構，此寬導線結構體位於該晶片之主動表面之上，而立體化寬線路結構交錯於外部介電層之內，且立體化寬線路結構與晶片之接點電性連通。以及至少一電感元件，此電感元件鋪設於寬導線結構體之上，並且電感元件與立體化寬線路結構電性連接。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

五、發明說明(|)

本發明是有關於一種晶片上具有電感元件結構，且特別是有關於積體電路晶片外覆上一外部介電層，在此外部介電層之上，再鋪上各種形式之電感元件。

現今的高頻矽晶片(RF silicon chip)以內建電感元件之方式，將電感元件置於晶片之保護層下方，由於電感很接近矽基底(<10 μ m 以下)，在使用高頻元件之之頻率下，矽基底會變成導體，並且消耗掉大量的能量，使得電感元件之品質降低。再者，由於砷化鎵(GaAs)在高頻時會產生半導體的隔離效果，因此坊間在製作高頻矽晶片時，通常會使用昂貴的砷化鎵(GaAs)來替代矽作為晶片，以改善電感元件之能量消耗，提高高頻矽晶片之品質。

然而，砷化鎵(GaAs)晶片雖具有半導體之隔離效果，但因其材料本身過於昂貴，使得製造成本遠高過金氧半導體(CMOS)。

因此本發明的目的之一即在提供一種晶片上具有電感元件結構，可以使電感元件遠離矽基底，以降低矽基底對電感元件所造成的導磁干擾，以提高晶片效能，此結構尤其針對高磁通量的被動元件或者設計高頻被載之電路設計特別具有效率性。

本發明的目的之二在於提出一種晶片上具有電感元件結構，可以將電感元件配置於晶片之外，故可使用以矽為材質之晶片，而不須使用昂貴的砷化鎵(GaAs)晶片，如此可以降低製造成本。

為達成本發明之上述和其他目的，提出一種晶片上

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

具有電感元件結構，分別包括：一晶片，此晶片具有一主動表面，而晶片之主動表面暴露出多個接點。一寬導線結構體，此寬導線結構體包括一外部介電層、一立體化寬線路結構，此寬導線結構體位於該晶片之主動表面之上，而立體化寬線路結構交錯於外部介電層之內，且立體化寬線路結構與晶片之接點電性連通。以及至少一電感元件，此電感元件鋪設於寬導線結構體之上，並且電感元件與立體化寬線路結構電性連接。

依照本發明的一較佳實施例，其中在晶片之主動表面之表層還包括一保護層，而保護層暴露出晶片之接點。另外，寬導線結構體還暴露出至少一防磁物質，而防磁物質與晶片之主動表面接觸，且防磁物質的位置與電感元件之位置相對應，防磁物質之材質包括金屬或其他磁性物質。此外，電感元件之形式包括水平螺旋形式、立體螺旋形式、環狀立體螺旋形式。再者，外部介電層之材質包括聚亞醯胺或苯基環丁烯，其中外部介電層聚亞醯胺的形成方式可以用旋塗固化的方式形成，旋塗後之聚亞醯胺需在一真空環境中進行固化或在一氮氣環境下進行固化，溫度保持在250度至400度之間，所需時間約0.5至1.5個小時，而厚度較厚之聚亞醯胺結構，可採用多層旋塗固化的方式形成。另外，填入立體化寬線路結構之方式可包括電鍍、無電電鍍、濺鍍等方式，而立體化寬線路結構之導電材質可包括銅、金、鎳、鋁、鎢等。

為達成本發明之上述和其他目的，提出一種晶片上

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(3)

具有電感元件結構，分別包括：一晶片，此晶片具有一主動表面，而晶片之主動表面暴露出多個接點。以及至少一電感元件，此電感元件鋪設於晶片之主動表面之上，並且電感元件與晶片之接點電性連接。

依照本發明的一較佳實施例，其中在晶片之主動表面之表層還包括一保護層，而保護層暴露出晶片之接點。此外，電感元件之形式包括水平螺旋形式、立體螺旋形式、環狀立體螺旋形式。再者，外部介電層之材質包括聚亞醯胺或苯基環丁烯，其中外部介電層聚亞醯胺的形成方式可以用旋塗固化的方式形成，旋塗後之聚亞醯胺需在一真空中環境中進行固化或在一氮氣環境下進行固化，溫度保持在250度至400度之間，所需時間約0.5至1.5個小時，而厚度較厚之聚亞醯胺結構，可採用多層旋塗固化的方式形成。另外，填入立體化寬線路結構之方式可包括電鍍、無電電鍍、濺鍍等方式，而立體化寬線路結構之導電材質可包括銅、金、鎳、鋁、鎢等。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖、第2圖、第3圖繪示依照本發明第一較佳實施例的一種晶片上具有電感元件結構之製程剖面示意圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

第 4 圖繪示對應於第 3 圖中水平螺旋形式電感之俯視示意圖。

第 5 圖繪示依照本發明第二較佳實施例的一種晶片上具有電感元件結構之剖面示意圖。

第 6 圖繪示依照本發明第三較佳實施例的一種晶片上具有電感元件結構之立體剖面透視示意圖。

第 7 圖繪示對應於第 6 圖中電感元件結構之俯視示意圖。

第 8 圖繪示對應於第 7 圖中剖面線 I - I 之剖面示意圖。

第 9 圖繪示依照本發明第四較佳實施例的一種晶片上具有電感元件結構之立體剖面透視示意圖

第 10 圖繪示對應於第 9 圖中電感元件結構之俯視示意圖。

第 11 圖繪示依照本發明第五較佳實施例的一種晶片上具有電感元件結構之剖面示意圖。

圖式之標記說明：

100：晶片

101：表面

102：基底

104：元件層

106：積層

108：金屬層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

- 110：介電層
- 112：保護層
- 130：寬導線結構體
- 114：外部介電層
- 116：開孔
- 210、310：電感結構體
- 212、312：第一表面
- 222、322：第一圖案化線路
- 214、314：第二表面
- 224、324：第二圖案化線路
- 230、330：貫孔
- 226、326：絕緣層
- 118、218、318、418：電感元件
- 134：連外接點
- 150：種子層
- 152：金屬層
- 136、410：焊罩層
- 122：立體化寬線路結構
- 124：接點
- 126：防磁物質
- 350a、350b、350c、350d：曲線

實施例

請參照第 1 圖、第 2 圖、第 3 圖，其繪示依照本發

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

明第一較佳實施例的一種晶片上具有電感元件結構之製程剖面示意圖。

請先參照第 1 圖，晶片 100 係由一基底 102、一元件層(Device Layer)104、一積層 106、一保護層 112 所組成。基底 102，比如是互補金氧半導體(CMOS)常用之矽基底(Silicon Substrate)，具有一表面 101。元件層 104，具有比如是電晶體等元件，配置於基底 102 之表面 101 上，在元件層 104 上再覆蓋積層 106，而積層 106 由至少一金屬層 108 與至少一介電層 110 交互疊合而成，金屬層 108 更包括數個金屬內連線(未繪示)，以連接元件層 104。金屬內連線之材質係選自於由鋁、鋁合金、銅、銅合金、以及黃金所組成之族群中的一種材料。接著覆蓋保護層 112(Passivation)於積層 106 之上，而保護層 112 還具有多個接點 124 與金屬內連線(未繪示)電性連通。保護層 112 之上再覆蓋外部介電層 114(Post Passivation)。保護層 112 係以氮化矽或氧化矽沈積(Deposition)而成，而外部介電層 114 之材質包括聚亞醯胺、苯基環丁烯等，而聚亞醯胺的形成方式可以用旋塗固化的方式形成，旋塗後之聚亞醯胺需在一真空環境中進行固化或在一氮氣環境下進行固化，溫度保持在 250 度至 400 度之間，所需時間約 0.5 至 1.5 個小時，若是厚度較厚之聚亞醯胺結構，可採用多層旋塗固化的方式、多層疊合(laminating)的方式、或網板印刷(screen printing)的方式形成。

在外部介電層 114 內，利用微影蝕刻的方式形成數

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

個開孔 116，再以一導電材質填入開孔 116 中，而形成一寬導線結構體 130，並且定義此導電材質的沈積結構為立體化寬線路結構 122，而立體化寬線路結構 122 與保護層 112 之多個接點 124 電性連接，而立體化寬線路結構 122 的導電材質可包括銅、金、鋁、鎳、鎢等，另外由於此製作寬導線結構體的導線線寬(約數十微米)並不如半導體前段製程(小於一微米)之精密，因此可使用低成本之製程，如電鍍、無電電鍍之方式形成，亦可使用濺渡(sputtering)的方式。並且寬導線結構體的導線厚度可達 3 微米以上，如此可以大幅降低因導線所造成的訊號衰減或延遲。其中寬導線結構體 130 的厚度可介於 20 微米與 100 微米之間。

請參照第 2 圖，在製作寬導線結構體之後，接下來進行電感元件製作之製程，首先以濺鍍的方式鋪上一種子層 150 於寬導線結構體 130 上，而種子層 150 的材質可以包括鋅，然後再以電鍍的方式鋪上一金屬層 152 於種子層 150 上。

請參照第 3 圖、第 4 圖，其中第 4 圖繪示對應於第 3 圖中水平螺旋形式電感之俯視示意圖。接下來，再透過微影蝕刻的方式，定義出至少一電感元件 118，以及至少一連外接點 134，最後鋪上一焊罩層 136 覆蓋電感元件 118，並且暴露出連外接點 134。其中連外接點 134、電感元件 118 均與立體化寬線路結構 122 電性連接，而電感元件 118 之型態為水平螺旋狀(如第 4 圖所示)。

上述之電感元件 118 的配置，可以使電感元件 118

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

遠離以矽為材質之基底 102，並降低基底 102 對電感元件 118 所造成的導磁干擾，以提高晶片效能，此結構尤其針對高磁通量的被動元件或者設計高頻被截之電路設計特別具有效率性。再者，由於電感元件 118 配置於晶片之外，故可使用以矽為材質之晶片，而不須使用昂貴的砷化鎵(GaAs)晶片，可以降低製造成本。

請參照第 5 圖，其所繪示依照本發明第二較佳實施例的一種晶片上具有電感元件結構之剖面示意圖。與上述第一較佳實施例不同的是，在本發明之第二較佳實施例中寬導線結構體 130 還包括至少一防磁物質 126，並且寬導線結構體 130 暴露出防磁物質 126，與保護層 112 接觸，並且防磁物質 126 的位置與電感元件 118 之位置相對應，防磁物質 126 係用以阻隔電感元件 112 對以矽為材質的基底 102 所產生的導磁效應，因此本發明可應用於更高磁通量的被動元件或者設計更高頻被截之電路設計。防磁物質 126 之材質包括金屬或是磁性物質。

請參照第 6 圖、第 7 圖、第 8 圖，其中第 6 圖繪示依照本發明第三較佳實施例的一種晶片上具有電感元件結構之立體剖面透視示意圖，而第 7 圖繪示對應於第 6 圖中電感元件結構之俯視示意圖，第 8 圖繪示對應於第 7 圖中剖面線 I - I 之剖面示意圖。在前述之第一較佳實施例中，電感元件之形式係為水平螺旋狀，然而電感元件之形式並非侷限於上述的方式，電感元件 218 可以設計成立體螺旋狀。一電感結構體 210 係由一絕緣層 226 以及一電感元件

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

218 所組成，並且電感結構體 210 具有一第一表面 212 與對應之一第二表面 214，而電感結構體 210 以其第一表面 212 與寬導線結構體 130 接觸，而寬導線結構體 130 位於晶片 100 之保護層 112 之上，且寬導線結構體 130 的厚度介於 20 微米與 100 微米之間。在電感結構體 210 之第一表面 212 具有一第一圖案化線路 222(如第 7 圖中虛線 222 所示)，而電感結構體 210 之第二表面 214 具有一第二圖案化線路 224(如第 7 圖中實線 224 所示)，並且透過貫孔 230 內的導電材質可以使第一圖案化線路 222 與第二圖案化線路 224 電性連通，使其形成立體螺旋狀之電感元件 218。

而立體螺旋狀之電感元件 218 的製造步驟，係先以濺鍍的方式覆上一種子層於寬導線結構體 130 上，再以電鍍的方式覆上一金屬層於種子層上，微影蝕刻定義出第一圖案化線路 222。接下來覆上一絕緣層 226 於寬導線結構體 130 上，並覆蓋住第一圖案化線路 222，並透過微影蝕刻的方式形成多個貫孔 230，再以鍍穿孔(plate through hole)的方式填入一導電材質於貫孔 230 內。接下來以濺鍍的方式覆上一種子層於絕緣層 216 上，再以電鍍的方式覆上一金屬層於種子層上，然後以微影蝕刻的方式，定義出第二圖案化線路 224。此外，在電感結構體 210 之第二表面 214 還可以塗佈一焊罩層(solder mask)，為熟習該技術者應知的結構，在此不再贅述。

請參照第 9 圖、第 10 圖，第 9 圖繪示依照本發明第四較佳實施例的一種晶片上具有電感元件結構之立體剖

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

面透視示意圖，其中在第 9 圖中僅繪示出部份第一圖案化線路與第二圖案化線路的連接關係，而第 10 圖繪示對應於第 9 圖中電感元件結構之俯視示意圖。在本實施例中，電感元件 318 亦可以設計成環狀立體螺旋狀。一電感結構體 310 係由一絕緣層 326 以及一電感元件 318 所組成，絕緣層 326 將電感元件 318 包覆其中，並且電感結構體 310 具有一第一表面 312 與對應之一第二表面 314，而電感結構體 310 以其第一表面 312 與寬導線結構體 130 接觸，而寬導線結構體 130 位於晶片 100 之保護層 112 之上，且寬導線結構體 130 的厚度介於 20 微米與 100 微米之間。在電感結構體 310 之第一表面 312 具有一第一圖案化線路 322 (如第 10 圖中虛線 322 所示)，而電感結構體 310 之第二表面 314 具有一第二圖案化線路 324 (如第 10 圖中實線 324 所示)，並且透過貫孔 330 內的導電材質可以使第一圖案化線路 322 與第二圖案化線路 324 電性連通，使其形成環狀立體螺旋狀之電感元件 318。另外，曲線 350a、350b、350c、350d 描繪出電感元件 318 所環繞空間區域的大致形狀。

而環狀立體螺旋狀之電感元件 318 製程與第三實施例中立體螺旋狀之電感元件製程雷同，只是環狀立體螺旋狀之電感元件 318 排列為環狀，在此不再贅述。

在前述之電感元件乃在晶片之外部形成，相較於晶片內部所製作的電感元件，本發明之電感元件的導線厚度比較厚，且線寬較寬，因此具有較佳的品質。另外相較於晶片內部所製作的立體狀電感元件，本發明之立體螺旋形

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(11)

狀及環狀立體螺旋狀之電感元件的高度比較高且遠離基底，故具有較佳的品質。

請參照第 11 圖，其繪示依照本發明第五較佳實施例的一種晶片上具有電感元件結構之剖面示意圖。在前述之第一較佳實施例中，係將電感元件鋪設於寬導線結構體上，然而電感元件之配置並非侷限於上述的方式，亦可以將電感元件 418 直接鋪設於保護層 112 上，然後再覆上一焊罩層 410 以保護電感元件 418。在本實施例中係以水平螺旋狀之電感元件為例，然而本實施例亦可以應用於立體螺旋狀之電感元件或是環狀立體螺旋狀之電感元件，其中立體螺旋狀或環狀立體螺旋狀之電感元件，其電感結構體之厚度介於 20 微米與 100 微米之間。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶片上具有電感元件結構，可以使電感元件遠離矽基底，以降低矽基底對電感元件所造成的導磁干擾，以提高晶片效能，此結構尤其針對高磁通量的被動元件或者設計高頻被載之電路設計特別具有效率性。

2. 本發明之晶片上具有電感元件結構，可以安置一防磁物質於寬導線結構體之內，以阻隔以矽為材質的基底對電感元件產生導磁的效應，如此可應用於更高磁通量的被動元件或者設計更高頻被載之電路設計。

3. 本發明之晶片上具有電感元件結構，可以將電感元件配置於晶片之外，故可使用以矽為材質之晶片，而不須使用昂貴的砷化鎵(GaAs)晶片，如此可以降低製造成本。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(12)

4.本發明之晶片上具有電感元件結構，由於電感元件乃在晶片之外部形成，相較於晶片內部所製作的電感元件，本發明之電感元件的導線厚度比較厚，且線寬較寬，因此具有較佳的品質。

5.本發明之晶片上具有電感元件結構，由於電感元件可形成於晶片外部的電感結構體中，因此可以有立體螺旋形狀及環狀立體螺旋狀之電感元件之結構。相較於晶片內部所製作的立體狀電感元件，本發明之立體螺旋形狀及環狀立體螺旋狀之電感元件的高度比較高且遠離基底，故具有較佳的品質。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1.一種晶片上具有電感元件結構，包括：

一晶片，該晶片具有一主動表面，而該晶片之該主動表面暴露出複數個接點；

一寬導線結構體，該寬導線結構體包括一外部介電層、一立體化寬線路結構，該寬導線結構體位於該晶片之該主動表面之上，而該立體化寬線路結構交錯於該外部介電層之內，該立體化寬線路結構與該晶片之該些接點電性連通；以及

至少一電感元件，該電感元件鋪設於該寬導線結構體之上，並且該電感元件與該立體化寬線路結構電性連接。

2.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中在該晶片之該主動表面之表層還包括一保護層，該保護層暴露出該些接點。

3.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中該寬導線結構體還包括至少一防磁物質，而該防磁物質的位置與該電感元件之位置相對應。

4.如申請專利範圍第 3 項所述之晶片上具有電感元件結構，其中該寬導線結構體暴露出該防磁物質，並且該防磁物質與該晶片之該主動表面接觸。

5.如申請專利範圍第 3 項所述之晶片上具有電感元件結構，其中該防磁物質之材質係選自於由金屬、磁性物質及該等之組合所組成的族群中的一種材質。

6.如申請專利範圍第 1 項所述之晶片上具有電感元

六、申請專利範圍

件結構，其中該電感元件之形式係選自於由水平螺旋、立體螺旋、環狀立體螺旋及該等之組合所組成的族群中的一種形式。

7.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中該外部介電層之材質包括聚亞醯胺。

8.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中該外部介電層之材質包括苯基環丁烯。

9.如申請專利範圍第 7 項所述之晶片上具有電感元件結構，其中該外部介電層聚亞醯胺的形成方式可以用旋塗固化的方式形成，旋塗後之聚亞醯胺需在一真空環境中進行固化或在一氮氣環境下進行固化，溫度保持在 250 度至 400 度之間，所需時間約 0.5 至 1.5 個小時。

10.如申請專利範圍第 9 項所述之晶片上具有電感元件結構，其中厚度較厚之聚亞醯胺結構，可採用的方式係選自於多層旋塗固化、多層疊合以及網板印刷所組成的族群中的一種方式。

11.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中填入該立體化寬線路結構之方式係選自於由電鍍、無電電鍍、濺鍍及該等之組合所組成的族群中的一種方式。

12.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中該電感元件係由一電感結構體所組成，該電感結構體具有一第一表面及對應之一第二表面，而該電感結構體以該第一表面與該寬導線結構體接觸，該電感結構

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

體之該第一表面具有一第一圖案化線路，而該電感結構體之該第二表面具有一第二圖案化線路，並且透過複數個貫孔內的一導電材質使該第一圖案化線路與該第二圖案化線路電性連通。

13.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，其中該寬導線結構體厚度之範圍介於 20 微米至 100 微米之間。

14.如申請專利範圍第 1 項所述之晶片上具有電感元件結構，該立體化寬線路結構之導電材質係選自於由銅、金、鎳、鋁、鎢及該等之組合所組成的族群中的一種金屬。

15.一種晶片上具有電感元件結構，包括：

一晶片，該晶片具有一主動表面，而該晶片之該主動表面暴露出複數個接點；以及

至少一電感元件，該電感元件鋪設於該晶片之該主動表面之上，並且該電感元件與該晶片之該些接點電性連接，其中該電感元件係由一電感結構體所組成，該電感結構體具有一第一表面及對應之一第二表面，而該電感結構體以該第一表面與該晶片之該主動表面接觸，該電感結構體之該第一表面具有一第一圖案化線路，而該電感結構體之該第二表面具有一第二圖案化線路，並且透過複數個貫孔內的一導電材質使該第一圖案化線路與該第二圖案化線路電性連通。

16.如申請專利範圍第 15 項所述之晶片上具有電感元件結構，其中在該晶片之該主動表面之表層還包括一保

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

護層，該保護層暴露出該些接點。

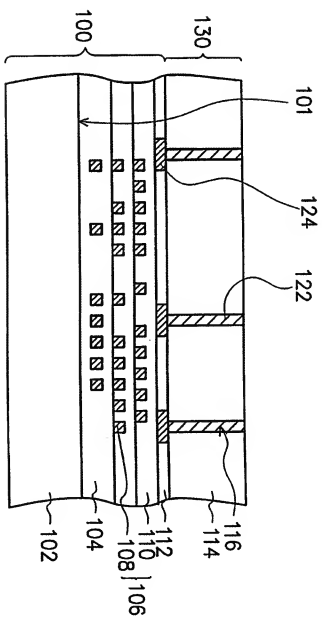
17.如申請專利範圍第 15 項所述之晶片上具有電感元件結構，其中該電感元件之形式係選自於由水平螺旋、立體螺旋、環狀立體螺旋及該等之組合所組成的族群中的一種形式。

18.如申請專利範圍第 15 項所述之晶片上具有電感元件結構，其中該電感結構體厚度之範圍介於 20 微米至 100 微米之間。

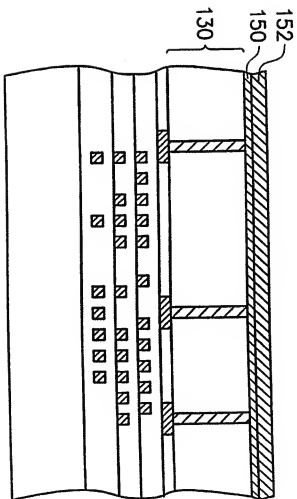
(請先閱讀背面之注意事項再填寫本頁)

裝

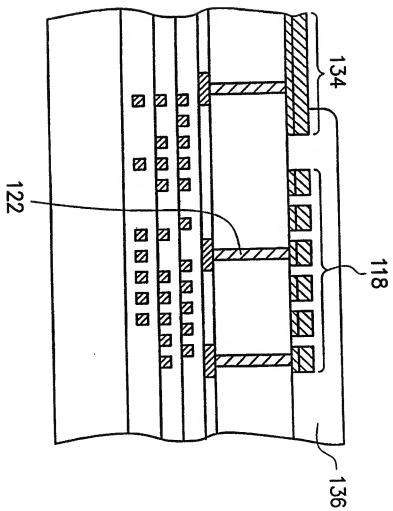
訂



第 1 圖

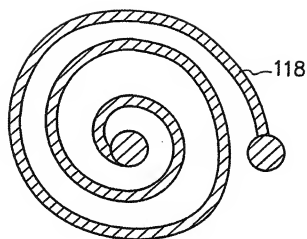


第 2 圖

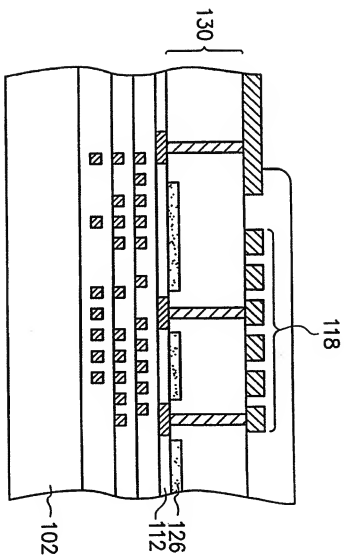


第 3 圖

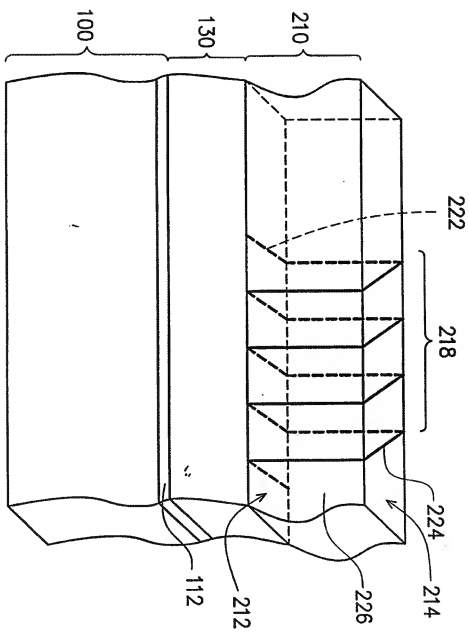
6628TW



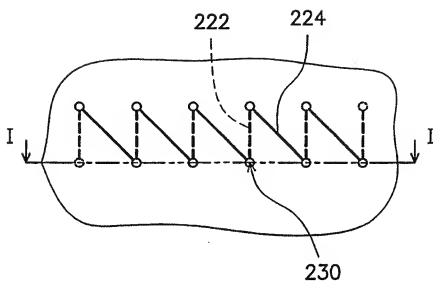
第 4 圖



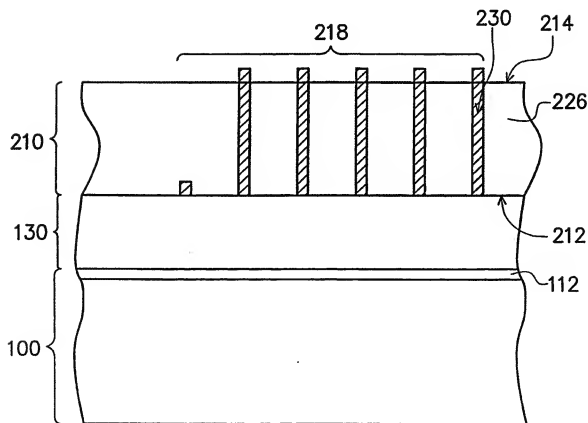
第 5 圖



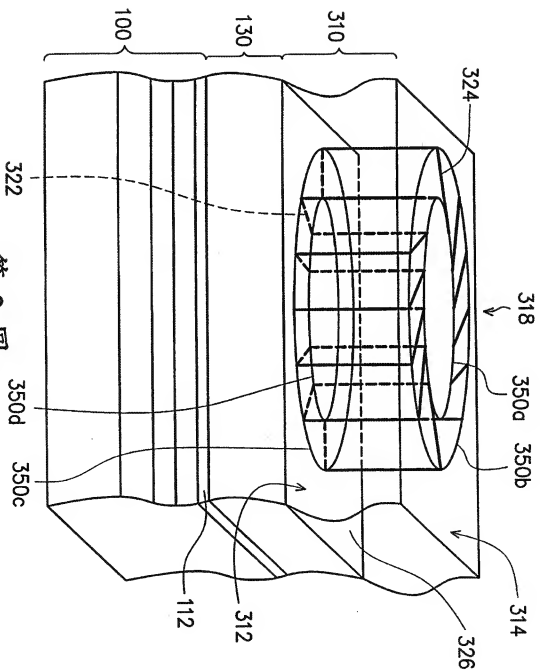
第 6 圖



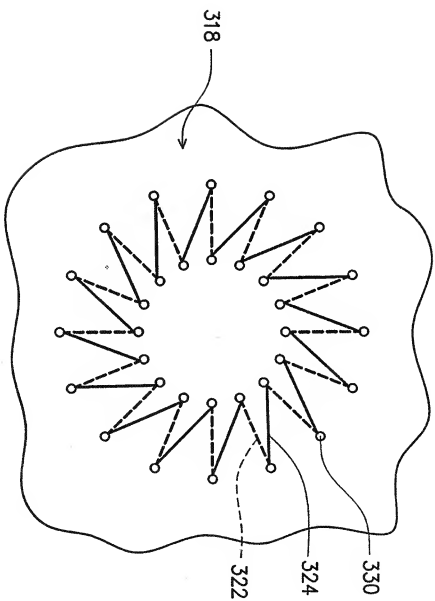
第 7 圖



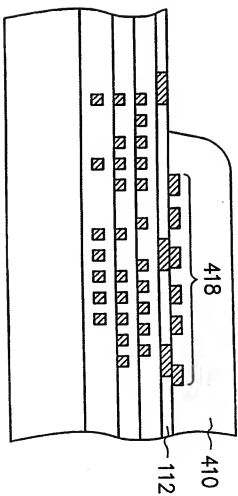
第 8 圖



第 9 圖



第10圖



第11圖